



(19)

(11) Publication number:

0

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08053507

(51) Int'l. Cl.: H01L 29/78 H01L 21/336
21/768

(22) Application date: 11.03.96

(30) Priority:

(43) Date of application
publication: 19.09.97

(84) Designated contracting
states:

(71) Applicant: FUJITSU LTD

(72) Inventor: HAYASHI HIROMI

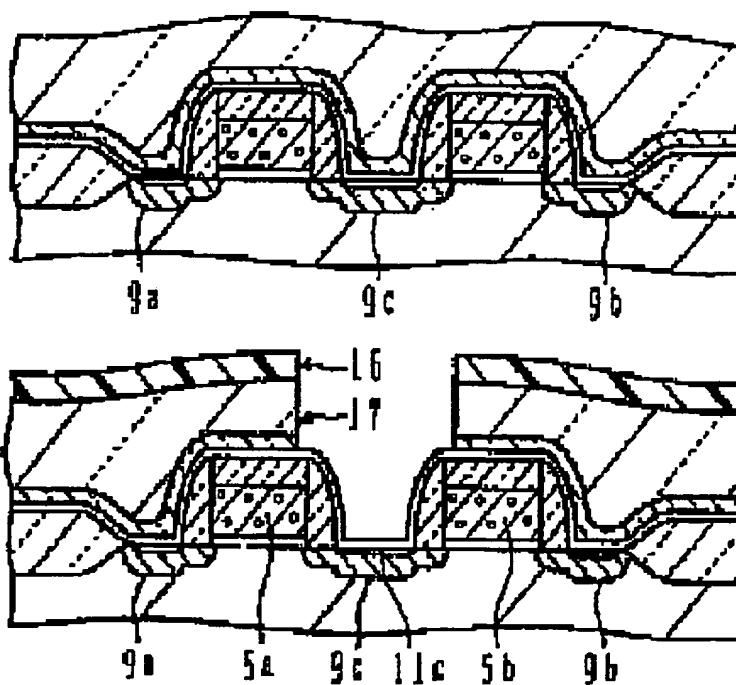
(74) Representative:

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To automatically stop etching in a surface of a second insulation layer by forming a second insulation layer consisting of metallic oxide whose boiling point of metallic fluoride is specific in a region wherewith a conductive layer is not in contact in a region on a surface of a first insulation layer.

SOLUTION: An etching stopping layer 12 consisting of cobalt oxide (metallic oxide whose boiling point is 250°C or higher), an SiN protection layer 13 and a layer insulation film 14 consisting of SiO₂ are laminated in order all over a substrate 1. A resist film 15 is applied to a surface of the layer insulation film 14 and an opening 16 is formed. The layer insulation film 14 is etched by an anisotropic RIE using mixture gas of C₄F₈ and CO, etc., as etching gas by using the resist 15 as an etching mask. Since the RIE wherein the etching gas is used, etching selection ratio of SiO₂



used, etching selection ratio of SiO₂ to SiN is high, etching can be automatically stopped in a surface of the etching stopping layer 12.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246547

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 Y
21/336			21/28	L
21/28			21/90	C
21/768			29/78	3 0 1 L

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号 特願平8-53507	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日 平成8年(1996)3月11日	(72)発明者 林 浩美 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
	(74)代理人 弁理士 高橋 敏四郎

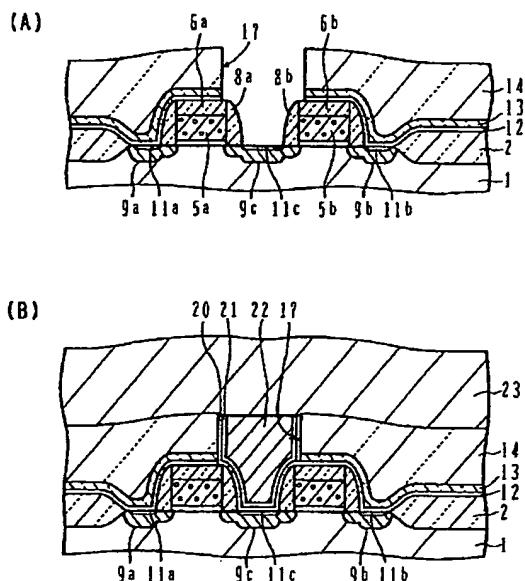
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 MISFETのソース／ドレイン領域に安定して自己整合的にコンタクトホールを形成する技術を提供する。

【解決手段】 半導体表面を有する基板と、基板の半導体表面領域に配置されたMISFETであって、基板の表面上に形成されたゲート電極、及び基板の表面層にかつ該ゲート電極の両側にそれぞれ形成されたソース領域とドレイン領域とを含むMISFETと、ゲート電極の表面を被覆する第1の絶縁層と、ソース領域及びドレイン領域の少なくとも一方の領域とオーミック接觸し、かつ第1の絶縁層の表面の一部の領域に接觸する導電層と、第1の絶縁層の表面上の領域のうち、層間接続層が接觸していない領域に形成され、金属の酸化物からなる第2の絶縁層であって、該金属のフッ化物の沸点が250°C以上である第2の絶縁層とを有する。

実施例によるMISFETの製造



【特許請求の範囲】

【請求項1】 半導体表面を有する基板と、前記基板の半導体表面上に形成されたゲート電極、及び前記基板の表面層にかつ該ゲート電極の両側にそれぞれ形成されたソース領域とドレイン領域とを含むトランジスタと、前記ゲート電極の表面を被覆する第1の絶縁層と、前記ソース領域及びドレイン領域の少なくとも一方の領域とオーミック接触し、かつ前記第1の絶縁層の表面の一部の領域に接觸する導電層と、前記第1の絶縁層の表面上の領域のうち、前記導電層が接觸していない領域に形成され、金属の酸化物からなる第2の絶縁層であって、該金属のフッ化物の沸点が250°C以上である前記第2の絶縁層とを有する半導体装置。

【請求項2】 前記第2の絶縁層が酸化コバルトで形成されている請求項1に記載の半導体装置。

【請求項3】 半導体表面を有する基板の該半導体表面領域に、ゲート電極、その両側の前記基板の表面層にそれぞれ形成されたソース領域及びドレイン領域、及び該ゲート電極の表面を覆う第1の絶縁層を含んで構成されるトランジスタを形成する工程と、

前記第1の絶縁層の表面及び前記基板の露出した表面を、金属の酸化物であって該金属のフッ化物の沸点が250°C以上である金属の酸化物からなる第2の絶縁層で覆う工程と、

前記第2の絶縁層の上に、該第2の絶縁層とはエッチング耐性の異なる絶縁材料からなる第3の絶縁層を形成する工程と、

前記第3の絶縁層の上に、前記ソース領域及びドレイン領域のうち少なくとも一方の領域に対応した開口を有するエッチングマスク層を形成する工程と、

前記エッチングマスク層をマスクとして、前記開口が形成された領域の前記第3の絶縁層を全厚さ分エッチングする工程と、

前記開口が形成された領域の前記第2の絶縁層を除去し、少なくとも前記ソース領域及びドレイン領域のうち前記一方の領域の表面を露出させる工程と、

前記ソース領域及びドレイン領域のうち前記一方の領域の露出した表面上に導電性材料からなる導電層を形成する工程とを含む半導体装置の製造方法。

【請求項4】 前記第2の絶縁層で覆う工程の後、前記第3の絶縁層を形成する工程の前に、さらに、前記第2の絶縁層の上に、窒化シリコンからなる第4の絶縁層を形成する工程を含み、

前記第3の絶縁層をエッチングする工程の後、前記第2の絶縁層を除去する工程の前に、さらに、フッ素系のエッチングガスを用いたドライエッチングにより、前記開口が形成された領域の前記第4の絶縁層を、前記第2の絶縁層に対して選択的にエッチングし、前記開口が形成

された領域に前記第2の絶縁層を露出させる工程を含む請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に、MISFETのソース／ドレイン領域に自己整合して上層配線とのコンタクトホールを形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図3を参照して、MISFETのソース／ドレイン領域に自己整合してコンタクトホールを形成する従来の方法を説明する。

【0003】図3(A)に示すように、シリコン基板50の表面に形成されたフィールド酸化膜51により活性領域が画定されている。この活性領域に、ソース領域52、ドレイン領域53及びゲート電極55からなるMISFETとソース領域53、ドレイン領域54及びゲート電極56からなるMISFETが形成されている。一方のMISFETのドレイン領域53と他方のMISFETのソース領域53とは共通である。ゲート電極55及び56の表面は、それぞれ絶縁層57及び58によって覆われている。

【0004】図3(B)に示すように、絶縁層57及び58の表面及び露出した基板の表面を覆うように窒化シリコン(SiN)からなるエッチング停止層59を形成する。エッチング停止層59の上に、化学気相成長(CVD)によるSiO₂膜とスピンドルグラス(SOG)法によるSiO₂膜の積層からなる層間絶縁膜60を形成する。

【0005】層間絶縁膜60の表面上にレジスト膜61を塗布し、ソース／ドレイン領域53に対応する領域に開口62を形成する。開口62の図の両端は、それぞれゲート電極55及び56の端部と重なっている。

【0006】レジスト膜61をエッチングマスクとし、エッチング停止層59に対して層間絶縁膜60を選択的にエッチングしてコンタクトホール63を形成する。コンタクトホール63の底面には、SiNからなる絶縁層59が露出する。

【0007】図3(C)に示すように、熱リソウト酸を用いたウェットエッチングにより、コンタクトホール63の底面に露出した絶縁層59を除去する。コンタクトホール63の底面にソース／ドレイン領域53の表面が露出し、側面の下方領域に絶縁層57及び58の表面の一部が露出する。熱リソウト酸によるウェットエッチングでは、SiO₂層に対するSiN層のエッチング選択性が高いため、エッチング停止層59が除去されても、コンタクトホール63の側面の下方領域に露出した絶縁層57及び58はほとんどエッチングされない。

【0008】このように開口62の端部とゲート電極55及び56の端部が重なっている場合であっても、自己

整合的にソース／ドレイン領域53の表面を露出させるコンタクトホール63を形成することができる。

【0009】ウェットエッチングは等方的に進むため、エッチング停止層59がサイドエッチングされ、コンタクトホール63の側面に基板面に平行な向きの溝64が形成される。コンタクトホール63内に上層配線を形成すると、溝64のために配線層のカバレッジが悪化する。

【0010】溝64の形成を防止するために、エッチング停止層59を異方性の反応性イオンエッチング(RIE)により除去する方法が提案されている。

【0011】図3(D)は、RIEによりエッチング停止層59をエッチングした後の基板の断面図を示す。RIEのエッチングガスとしては、例えばCF₄とO₂との混合ガスを用いる。RIEによるエッチングは異方性を有するため、エッチング停止層59はほとんどサイドエッチングされない。

【0012】しかし、RIEではSiO₂層に対するSiN層のエッチング選択性を大きくできないため、SiO₂からなる絶縁層57及び58の一部もエッチングされる。絶縁層57及び58のエッチングが進むと、ゲート電極55及び56の表面の一部が露出する場合がある。コンタクトホール63内に上層配線層を形成すると、上層配線とゲート電極55及び56とが短絡してしまう。

【0013】

【発明が解決しようとする課題】図3で説明したように、エッチング停止層59をウェットエッチングすると、コンタクトホールの側面に溝が形成され上層配線のカバレッジが悪化する。エッチング停止層59をRIEにより除去すると、ゲート電極55及び56と上層配線層とが短絡してしまう場合がある。

【0014】本発明の目的は、MISFETのソース／ドレイン領域に安定して自己整合的にコンタクトホールを形成する技術を提供することである。

【0015】

【課題を解決するための手段】本発明の一観点によると、半導体表面を有する基板と、前記基板の半導体表面領域に配置されたメタルインシュレータセミコンダクタ電界効果型トランジスタ(MISFET)であって、前記基板の表面上に形成されたゲート電極、及び前記基板の表面層にかつ該ゲート電極の両側にそれぞれ形成されたソース領域とドレイン領域とを含む前記MISFETと、前記ゲート電極の表面を被覆する第1の絶縁層と、前記ソース領域及びドレイン領域の少なくとも一方の領域とオーミック接触し、かつ前記第1の絶縁層の表面の一部の領域に接する導電層と、前記第1の絶縁層の表面上の領域のうち、前記導電層が接觸していない領域に形成され、金属の酸化物からなる第2の絶縁層であって、該金属のフッ化物の沸点が250°C以上である前記

第2の絶縁層とを有する半導体装置が提供される。

【0016】金属フッ化物の沸点が250°C以上となる金属の酸化物で形成されている第2の絶縁層は、フッ素系のエッチングガスに対するエッチング耐性が高い。このため、第2の絶縁層よりも上側の層をフッ素系のエッチングガスを用いて除去する際に、第2の絶縁層がエッチング停止層として作用する。

【0017】本発明の他の観点によると、半導体表面を有する基板の該半導体表面領域に、ゲート電極、その両側の前記基板の表面層にそれぞれ形成されたソース領域及びドレイン領域、及び該ゲート電極の表面を覆う第1の絶縁層を含んで構成されるメタルインシュレータセミコンダクタ電界効果型トランジスタ(MISFET)を形成する工程と、前記第1の絶縁層の表面及び前記基板の露出した表面を、金属の酸化物であって該金属のフッ化物の沸点が250°C以上である金属の酸化物からなる第2の絶縁層で覆う工程と、前記第2の絶縁層の上に、該第2の絶縁層とはエッチング耐性の異なる絶縁材料からなる第3の絶縁層を形成する工程と、前記第3の絶縁層の上に、前記ソース領域及びドレイン領域のうち少なくとも一方の領域に対応した開口を有するエッチングマスク層を形成する工程と、前記エッチングマスク層をマスクとして、前記開口が形成された領域の前記第3の絶縁層を全厚さ分エッチングする工程と、前記開口が形成された領域の前記第2の絶縁層を除去し、少なくとも前記ソース領域及びドレイン領域のうち前記一方の領域の表面を露出させる工程と、前記ソース領域及びドレイン領域のうち前記一方の領域の露出した表面上に導電性材料からなる導電層を形成する工程とを含む半導体装置の製造方法が提供される。

【0018】本発明の他の観点によると、前記第2の絶縁層で覆う工程の後、前記第3の絶縁層を形成する工程の前に、さらに、前記第2の絶縁層の上に、窒化シリコンからなる第4の絶縁層を形成する工程を含み、前記第3の絶縁層をエッチングする工程の後、前記第2の絶縁層を除去する工程の前に、さらに、フッ素系のエッチングガスを用いたドライエッチングにより、前記開口が形成された領域の前記第4の絶縁層を、前記第2の絶縁層に対して選択的にエッチングし、前記開口が形成された領域に前記第2の絶縁層を露出させる工程を含む半導体装置の製造方法が提供される。

【0019】第2の絶縁層は、フッ素系のエッチングガスに対するエッチング耐性が高いため、第4の絶縁層をエッチングする際に第2の絶縁層がエッチング停止層として作用する。

【0020】

【発明の実施の形態】図1を参照して、本発明の実施例による半導体装置の製造方法を説明する。図1(A)に示すように、p型シリコン基板1の表面にフィールド酸化膜2を形成し活性領域を画定する。シリコン基板1の

活性領域表面を酸化して、ゲート酸化膜4a、4bとなるゲート酸化膜層を形成する。ゲート酸化膜層の上に化学気相成長(CVD)によりポリシリコンからなるゲート電極5a、5bを形成するためのポリシリコン層を堆積する。ポリシリコン層の上にCVDによりSiO₂からなる上部絶縁膜6a、6bを形成するための上部絶縁層を堆積する。

【0021】ゲート酸化膜層、ポリシリコン層及び上部絶縁層からなる3層構造をバーニングし、活性領域内にゲート酸化膜4a、ゲート電極5a及び上部絶縁膜6aからなるメサ構造体7a、及びゲート酸化膜4b、ゲート電極5b及び上部絶縁膜6bからなるメサ構造体7bを形成する。上部絶縁層及びゲート酸化膜層のエッチングは、例えば、エッティングガスとしてCF₄+CHF₃を用いたRIEにより行い、ポリシリコン層のエッティングは、例えば、エッティングガスとしてCl₂+O₂を用いたRIEにより行う。

【0022】メサ構造体7a及び7bをマスクとして、シリコン基板1にAs等のn型不純物をイオン注入し、低濃度ドレイン(LDD)構造形成のための低濃度領域3a～3cを形成する。

【0023】図1(B)に示すように、メサ構造体7a及び7bの側面に、それぞれSiO₂からなるサイドウォール絶縁体8a及び8bを形成する。サイドウォール絶縁体8a及び8bは、例えばCVDにより等方的にSiO₂膜を堆積し、RIE等の異方性エッティングにより平坦部上のSiO₂膜を除去してメサ構造体8a及び8bの側壁にSiO₂膜を残すことにより形成する。

【0024】メサ構造体7a、7b及びサイドウォール絶縁体8a、8bをマスクとしてAs等のn型不純物をイオン注入して活性化アニールを行うことにより、高濃度のソース／ドレイン領域9a～9cを形成する。サイドウォール絶縁体8a、8bの下方には低濃度のn型領域3a～3cが残り、LDD構造が形成される。

【0025】図1(C)に示すように、基板表面全面に厚さ80～300nmのコバルト(Co)層10を堆積する。500～600°Cで数十秒～数分間の熱処理を行う。ソース／ドレイン領域9a～9cとCo層10との界面でシリサイド反応が起こり、界面にそれぞれコバルトシリサイド(CoSi)層11a～11cが形成される。なお、熱処理前にCo層10の表面上に窒化チタン(TiN)等のキャップ層を形成してもよい。キャップ層を形成することにより、シリサイド反応を安定させることができる。

【0026】CoSi層11a～11cを形成した後、H₂SO₄とH₂O₂との混合液を用いて未反応のCo層10を除去する。

【0027】図1(D)に示すように、基板全面に酸化コバルトからなる厚さ5nmのエッティング停止層12、窒化シリコン(SiN)からなる厚さ70nmの保護層

13、及びSiO₂からなる層間絶縁膜14をこの順番に積層する。保護層13は、基板上方からの水分等の侵入を防止する。

【0028】エッティング停止層12は、例えばターゲットとしてCo、スパッタガスとしてアルゴン(Ar)と酸素(O₂)の混合ガスを用いた反応性スパッタリングにより形成する。または、ターゲットとしてCo、スパッタガスとしてArを用いたスパッタリングによりCo層を形成し、その後、酸素雰囲気中で温度300°C以上の熱処理を行いCo層を酸化して形成してもよい。

【0029】保護層13は、例えば、原料としてSiH₄とNH₃を用いたプラズマCVDにより形成する。層間絶縁膜14は、例えば、原料としてSiH₄とN₂Oを用いたプラズマCVDにより厚さ250nmのSiO₂膜を形成し、その後SOGによる厚さ200nmのSiO₂膜を形成し、エッチバックして表面を平坦化することにより形成する。

【0030】図1(E)に示すように、層間絶縁膜14の表面上にレジスト膜15を塗布し、フォトリソグラフィによりソース／ドレイン領域9cに対応する領域に開口16を形成する。開口16の図の両端は、ゲート電極5a、5bの端部と重なっている。

【0031】レジスト膜15をエッティングマスクとし、エッティングガスとしてC₄F₈とCOとの混合ガスまたはC₃F₈とCOとの混合ガスを用いた異方性のRIEにより層間絶縁膜14をエッティングする。このエッティングガスを用いたRIEでは、SiNに対するSiO₂のエッティング選択比が高いため、エッティング停止層13の表面でエッティングが自動的に停止する。

【0032】SF₆系のエッティングガスを用いた異方性RIEにより、層間絶縁膜14がエッティングされた領域の保護層13を除去する。保護層13のエッティングが異方的に進むため、サイドエッティングはほとんど起こらない。また、SF₆系のエッティングガスを用いたRIEでは、酸化コバルトに対するSiNのエッティング選択比が大きいため、エッティング停止層12の表面が露出した時点でエッティングが自動的に停止する。保護層13のエッティング後、レジスト膜15を除去する。

【0033】このようにして、開口16が形成された領域に、コンタクトホール17が形成される。コンタクトホール17の底面及び側面の下方領域には、エッティング停止層12の表面が露出している。

【0034】異方性RIEでは、SiO₂に対するSiNのエッティング選択比を大きくすることが困難である。従って、酸化コバルトからなるエッティング停止層12がなければ保護層13の全厚さ分をエッティングした時点で選択的にエッティングを停止することが困難となる。保護層13の下に酸化コバルトからなるエッティング停止層を配置することにより、SiNからなる保護層13のエッティング時の過度のエッティングを防止することができる。

【0035】図2(A)に示すように、コンタクトホール17の底面及び側面の下方領域に露出しているエッチング停止層12を除去する。エッチング停止層12の除去は、例えば、Arプラズマを使用した物理的クリーニングを行うことにより行う。この物理的クリーニングは、後の工程でコンタクトホール内にプラグを形成するためのスパッタリング用チャンバと同一のチャンバ内で行うことができる。

【0036】エッチング停止層12の厚さは、サイドウォール絶縁体8a、8b、及び上部絶縁膜6a、6bの厚さに比べて十分薄いため、エッチング停止層12のみを容易に除去することができる。このようにして、底面にCoSi層11c、側面の下方領域にサイドウォール絶縁体8a、8b及び上部絶縁膜6a、6bの一部が露出したコンタクトホール17を形成することができる。

【0037】図2(B)に示すように、コンタクトホール17の内面に、コンタクトメタル層20及び接着層21を形成し、コンタクトホール17の内部をタングステンプラグ22で埋め込む。コンタクトメタル層20、接着層21及びタングステンプラグ22は、例えば、基板全面にTiからなるコンタクトメタル層、TiNからなる接着層及びタングステン層を積層し、この積層構造をエッチバックすることにより形成する。

【0038】層間絶縁膜14及びタングステンプラグ22の上面を覆う配線層23を形成する。配線層23は、例えば、下から順番にTiN層、Al-Si-Cu合金層及びTiN層を積層して形成する。

【0039】上記実施例によると、図1(E)の工程で説明したように、保護層13のエッチング時にエッチング停止層12の上面でエッチングを自動的に停止できる。また、図2(A)の工程で説明したように、コンタクトホール17の底面及び側面の下方領域に表出したエッチング停止層12を容易に除去することができる。このため、コンタクトホール17の形成時におけるオーバーエッチングを抑制でき、ゲート電極5a、5bがコンタクトホール17の内面に露出することを防止できる。

【0040】図1(E)に示した開口16の端部とゲート電極5a、5bの端部とが重なっているが、ゲート電極5a、5bを露出させることなくCoSi層11cの表面を露出させるコンタクトホール17を自己整合的に形成することができる。位置合わせのための余裕を確保するために、ゲート電極5aと5bとの間隔を大きくする必要がないため、半導体装置の集積度の向上を図ることが可能になる。

【0041】上記実施例では、エッチング停止層として酸化コバルトからなる層を形成する場合を説明したが、その上層とのエッチング選択比を高くできる材料であれば、その他の材料を使用してもよい。上層にSiNからなる層が形成されている場合は、SiN層をSF₆等のフッ素系エッチングガスを用いてエッチングする。Si

N層とエッチング停止層とのエッチング選択比を高くするためには、エッチング停止層を、金属フッ化物の沸点が250°C以上となるような金属、例えばAl、ニッケル(N)、白金(Pt)、パラジウム(Pd)等の酸化物で形成することが好ましい。

【0042】また、上記実施例では、コンタクトホールをプラグで埋め尽くし、その上に配線層を形成する場合を説明したが、プラグを用いず、コンタクトホールの内部に直接配線層を形成してもよい。

【0043】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0044】

【発明の効果】以上説明したように、本発明によれば、コンタクトホール形成時にゲート電極の上方及び側方がエッチング停止層で覆われているため、エッチング停止層で安定してコンタクトホール形成のためのエッチングを停止させることができる。このため、コンタクトホール形成のためのレジストパターンの開口の端部がゲート電極の端部と重なっていても、ゲート電極をコンタクトホールの内面に露出させることなく安定してコンタクトホールを形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例によるMISFETの製造方法を説明するための基板の断面図である。

【図2】本発明の実施例によるMISFETの製造方法を説明するための基板の断面図である。

【図3】従来技術により自己整合的にコンタクトホールを形成する方法を説明するための基板の断面図である。

【符号の説明】

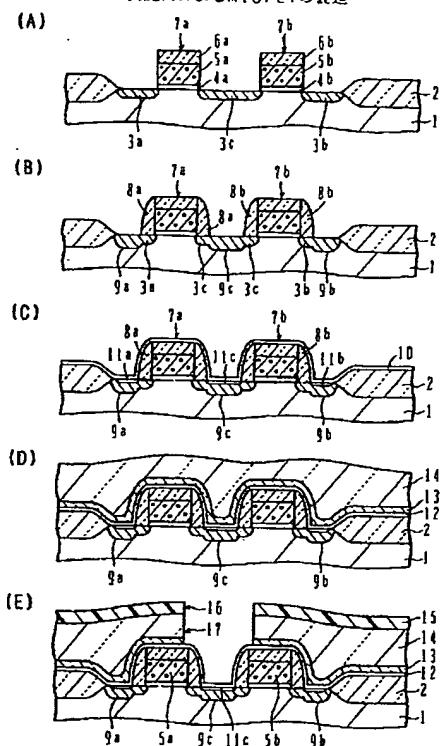
- 1 シリコン基板
- 2 フィールド酸化膜
- 3a、3b、3c 低濃度領域
- 4a、4b ゲート酸化膜
- 5a、5b ゲート電極
- 6a、6b 上部絶縁膜
- 7a、7b メサ構造体
- 8a、8b サイドウォール絶縁体
- 9a、9b、9c ソース／ドレイン領域
- 10 コバルト層
- 11a、11b、11c CoSi層
- 12 エッチング停止層
- 13 保護層
- 14 層間絶縁膜
- 15 レジスト膜
- 16 開口
- 17 コンタクトホール
- 20 コンタクトメタル層
- 21 接着層

22 タングステンプラグ

23 配線層

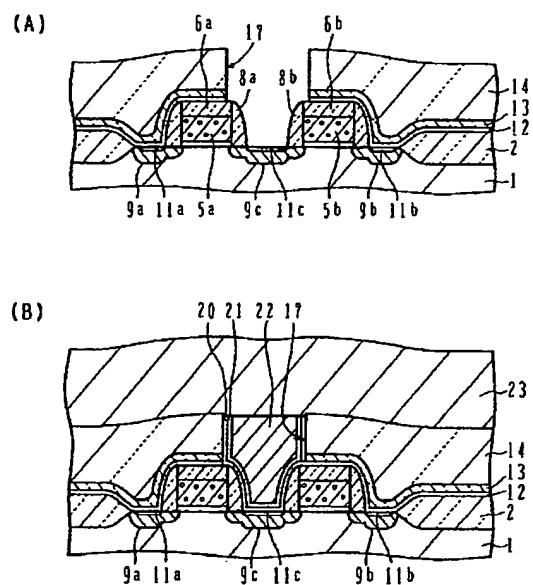
【図1】

実施例によるMISFETの製造



【図2】

実施例によるMISFETの製造



【図3】

